

Citation (b)

Translated Excerpt of Japanese Patent Laid-Open Publication HEI 3-179830

Published: August 5, 1991 (3rd year of Heisei)
Title: FRAME PHASE ALIGNING SYSTEM USING A
BUFFER MEMORY WITH A REDUCED CAPACITY
Case: Japanese Patent Application No. HEI 2-245085
Filed: September 14, 1990 (2nd year of Heisei)
Priority number: HEI 1-238502
Priority date: September 14, 1989
Priority country: JP
Inventors: Kurenai MURAKAMI, et al.
Applicant: NIPPON ELECTRIC CO.
Attorneys: Yosuke GOTO, et al.
Int. Class: H 04 J 3/06, H 04 L 7/00

From Page 3, Upper-Right Column, Line 17 to Page 4, Upper-Left Column,
Line 17:

“(Prior Art)

Generally, a time division multiplex (TDM) communication system has the so-called frame alignment section for synchronizing a plurality of TDM signals.

Here, referring to FIGs. 7 and 8, a description will be given about a conventional frame alignment section.

Referring first to FIG. 7, a frame alignment section 10 has a buffer memory 11 to which an input frame signal is written under control of a writing circuit 12.

An input clock generating circuit 13 generates a clock signal as an input clock based on the input frame signal or through another known method. Input frame synchronous signal (F.S.P.) generating circuit 14 generates a frame synchronous signal from the input frame signal to generate an input frame synchronous signal. The input clock and the input frame synchronous signal are transferred to the writing circuit 12, and then the writing circuit 12 controls a writing operation.

hand, an output frame synchronization generator 17 generates an output frame synchronous signal. The output frame synchronous signal is generated on a preset time, and the phase of the output frame synchronous signal is different from or later than the phase of the input frame synchronous signal.

FIG. 8 shows the relation among an input frame synchronous signal 21, an input clock signal 22, an input frame signal 23, an output frame synchronous signal 24, an output clock signal 25 and an output frame signal 26. The output frame signal 26 is identical to the input frame signal 23 except that the output frame signal 26 has a delay equal to the phase difference between the input frame synchronous signal 22 and the output frame synchronous signal 24. Accordingly, the buffer memory needs a memory capacity sufficient to store the whole of one frame signal in order to allow the maximum delay (that is, the delay for one frame) of the output frame synchronous signal.

Hereinafter, a description is given about a format of a frame signal. As given as reference numerals 23 and 26 in FIG. 8, a frame signal consists of a plurality of time slots (nine time slots in FIG. 8). Some of the time slots (two time slots in FIG. 8) are assigned to an overhead section 27 so that the remaining time slots (seven time slots in FIG. 8), which are assigned to a subframe section 28, may carry transport overhead signals 28 for carrying data or message. In FIG. 8, the overhead section 27 has a frame synchronous signal F and a message pointer P. Data information in the subframe section 28 is possessed of seven channels a, b, ... and g. As shown in FIG. 8, different channel numbers are assigned to each of the seven channels, and these channels are arranged in specified time slots in the subframe section 28 after the overhead section 27. In other words, these channels are arranged in the order of channel numbers in the subframe section 28 next to the first channel assigned to the third slot. Consequently, the pointer P in the overhead section 27 indicates "3".

* * * * *

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-179830

⑬ Int. Cl.³

H 04 J 3/06
H 04 L 7/00

識別記号

D
A

庁内整理番号

7925-5K
8949-5K

⑭ 公開 平成3年(1991)8月5日

審査請求 未請求 請求項の数 4 (全10頁)

⑮ 発明の名称 フレーム位相同期方式

⑯ 特 願 平2-245085

⑰ 出 願 平2(1990)9月14日

優先権主張 ⑱ 平1(1989)9月14日 ⑲ 日本(JP) ⑳ 特願 平1-238502

㉑ 発 明 者	村 上	紅	東京都港区芝5丁目7番1号	日本電気株式会社内
㉒ 発 明 者	村 瀬	勉	東京都港区芝5丁目7番1号	日本電気株式会社内
㉓ 発 明 者	室 井	清	東京都港区芝5丁目7番1号	日本電気株式会社内
㉔ 出 願 人	日本電気株式会社		東京都港区芝5丁目7番1号	
㉕ 代 理 人	弁理士 後藤 洋介		外2名	

明 細 書

1. 発明の名称

フレーム位相同期方式

2. 特許請求の範囲

1. 入力フレーム信号としての入力時分割多重化信号を出力フレーム同期信号に対して位相配列して出力フレーム信号を出力する方式であって、前記入力フレーム信号のフレームフォーマットは、複数のチャンネル信号を伝送する入力サブフレーム部と前記チャンネル信号の伝送を制御するために伝送オーバーヘッド信号を伝送する入力オーバーヘッド部とから成り、該入力オーバーヘッド部は入力フレーム同期信号を含んでいるフレーム位相同期方式において、前記入力フレーム信号を受けて該入力フレーム信号を前記入力オーバーヘッド部については分離オーバーヘッド部として、前記入力サブフレーム部については分離サブフレーム部としてそれぞれ分離するための分離手段と、該分離手段

に接続されて前記分離サブフレーム部をストアするためのストア手段と、前記分離手段に接続され前記分離オーバーヘッド部と前記出力フレーム同期信号とを受けて前記入力フレーム同期信号と前記出力フレーム同期信号との間の位相差で決まる出力オーバーヘッド部を作成するための作成手段と、前記ストア手段と前記作成手段とに接続され前記出力フレーム同期信号を受けて前記出力オーバーヘッド部を前記出力フレーム信号の一部に付加して出力するための多重化手段とを含み、該多重化手段は、前記ストア手段からそこにストアされた前記チャンネル信号を読み出しチャンネル信号として読み出し、該読み出しチャンネル信号を前記出力フレーム信号の残りの部分に付加して出力し、前記出力フレーム信号が前記出力オーバーヘッド部と前記読み出しチャンネル信号を伝送する出力サブフレーム部とから成るようにしたことを特徴とするフレーム位相同期方式。

2. 請求項1記載のフレーム位相同期方式において、前記入力フレーム信号は(1)で表される数

の複数のタイムスロットから成り、該タイムスロットの x 番目は前記入力オーバーヘッド部に割り当てられ、前記チャンネル信号は互いに異なるチャンネル番号を割り当てられ、前記チャンネル信号の先頭のは前記入力サブフレーム部における特定のタイムスロットで伝送され、残りの前記チャンネル信号は前記入力サブフレーム部における残りのタイムスロットに割り当てられると共に、前記チャンネル信号の順で配列され、前記入力オーバーヘッド部は該入力オーバーヘッド部と前記特定のタイムスロットとの間のタイムスロット数を示すためのメッセージポイント P を含み、前記出力フレーム同期信号は前記入力フレーム同期信号に対して y だけ遅延され、前記 x 、 P 、 y はそれぞれ整数であり、前記出力オーバーヘッド部は出力メッセージポイント Px を含み、前記作成手段は、 $P \leq (y - x)$ の時前記出力メッセージポイント Px を $Px = (P - y) \bmod f - 1$ の式に基づいて、 $P > (y - x)$ の時前記出力メッセージポイント Px を $Px = (P - y + x) \bmod f - 1$

けて前記変換オーバーヘッド部を分離オーバーヘッド部として、前記変換サブフレーム部を分離サブフレーム部としてそれぞれ分離するための分離手段と、該分離手段に接続され前記分離サブフレーム部をストアするためのストア手段と、前記分離手段に接続され前記分離オーバーヘッド部と前記出力フレーム同期信号とを受けて前記変換フレーム同期信号と前記出力フレーム同期信号との間の位相差で決まる出力オーバーヘッド部を作成するための作成手段と、前記ストア手段と前記作成手段とに接続され前記出力フレーム同期信号を受けて該出力フレーム信号の一部に前記出力オーバーヘッド部を付加して出力するための多重化手段とを含み、該多重化手段は、前記ストア手段からストアされたチャンネル信号を読み出して前記出力フレーム信号の残りの部分に前記読み出しチャンネル信号を付加し、前記出力フレーム信号が前記出力オーバーヘッド部と前記読み出しチャンネル信号を伝送する出力サブフレーム部とから成るようにしたことを特徴とするフレーム位相同期方式。

の式に基づいてそれぞれ計算し、前記出力フレーム信号は前記出力サブフレーム部における特定のタイムスロット中に前記先頭チャンネル信号を有し、前記 Px は前記出力オーバーヘッド部と前記特定のタイムスロットとの間のタイムスロット数を表すことを特徴とするフレーム位相同期方式。

3. 入力クロック信号を有する入力時分割多重化信号を前記入力クロック信号とは異なる出力クロック信号に同期した出力フレーム同期信号に対して位相配列して出力フレーム信号を出力する方式であって、前記入力クロック信号の前記入力フレーム信号を前記出力クロック信号のクロック変換フレーム信号に変換する手段を含み、前記クロック変換フレーム信号のフレームフォーマットは、複数の変換チャンネル信号を伝送する変換サブフレーム部と前記チャンネル信号の伝送を制御するための伝送オーバーヘッド信号を伝送する変換オーバーヘッド部とから成り、該変換オーバーヘッド部は変換フレーム同期信号を含むフレーム位相同期方式において、前記クロック変換フレーム信号を受

4. 請求項3記載のフレーム位相同期方式において、前記入力時分割多重化信号はデータ信号に対してパルススタフ同期が2回行われると共に、前記データ信号と第1、第2のスタフパルスとから成り、前記変換手段は、前記入力時分割多重化信号と前記入力クロック信号とを受けて前記入力時分割多重化信号から前記第2のスタフパルスを除去するようにデスタフを行い第1のデスタフ信号を出力すると共に、前記第2のスタフパルスの時間位置において前記入力クロック信号のクロックパルスを除去して第1の除去クロック信号を出力する第1のデスタフ手段と、該第1のデスタフ手段に接続され前記第1の除去クロック信号の制御の基に前記第1のデスタフ信号をストアするための第1のバッファメモリと、前記出力クロック信号を受けて前記第1の除去クロック信号と等しい平均周波数を有する第2のクロック信号を作成すると共に、前記第2のクロック信号の制御の基に前記第1のバッファメモリから前記第1のデスタフ信号を第1の読み出し信

号として読み出して該第1の読み出し信号に第3のスタッフパルスを加えて第3のスタッフ信号を出力するための第1のスタッフ手段と、前記出力クロック信号と前記第1のスタッフ信号とを受けて前記第1のスタッフ信号から前記第3のスタッフパルスを除去し、前記第3のスタッフパルスの時間位置において前記出力クロック信号のクロックパルスを除去して第2の除去クロック信号を出力するための第2のデスタッフ手段と、前記第2の除去クロック信号と前記第2のデスタッフ信号とを受けて前記第2のデスタッフ信号から前記第1のスタッフパルスを除去すると共に、前記第1のスタッフパルスの時間位置において前記第2の除去クロック信号のクロックパルスを除去して第3の除去クロック信号を出力するための第3のデスタッフ手段と、前記第3のデスタッフ信号と前記第3の除去クロック信号とを受けて前記第3の除去クロック信号の制御の基に前記第3のデスタッフ信号をストアするための第2のバッファメモリと、前記出力クロック信号を受けて前記第3の

除去クロック信号と等しい平均周波数を有する第3のクロック信号を作成すると共に、前記第3のクロック信号の制御のもとに前記第2のバッファメモリから前記第3のデスタッフ信号を第2の読み出し信号として読み出して該第2の読み出し信号に第4のスタッフパルスを加えて第2のスタッフ信号を前記出力クロック信号に同期した前記クロック変換フレーム信号として出力するための第2のスタッフ手段とから成ることを特徴とするフレーム位相同期方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は時分割多重化(TDM)通信装置に関し、特に、このような装置に用いられるフレーム位相同期方式に関する。

(従来の技術)

一般に、TDM通信装置には所謂フレーム配列部が備えられており、このフレーム配列部で複数のTDM信号を同期している。

ここで、第7図及び第8図を参照して、従来のフレーム配列部について説明する。

まず、第7図を参照して、フレーム配列部10はバッファメモリ11を備えており、このバッファメモリ11には書き込み回路12の制御によって入力フレーム信号が書き込まれる。

入力クロック発生回路13は入力フレーム信号に基づいてまたは他の公知の方法で入力クロックとしてクロック信号を生成する。入力フレーム同期信号(F. S. P.)発生回路14は入力フレーム信号からフレーム同期信号を生成することによって入力フレーム同期信号を生成する。入力クロック及び入力同期信号は書き込み回路12に与えられ、これによって、書き込み回路12は書き込み動作を制御する。

バッファメモリ11に書き込まれたフレーム信号は読み出し回路15の制御によってバッファメモリ11から出力フレーム信号として読み出される。出力クロック発生器16は入力クロック信号に同期した出力クロック信号を生成する。一方、

出力フレーム同期信号発生器17は出力フレーム同期信号を発生する。この出力フレーム同期信号は予め定められた時間に発生され、そして、位相が入力フレーム同期信号に対して異なるか遅れている。

第8図には入力フレーム同期信号21、入力クロック信号22、入力フレーム信号23、出力フレーム同期信号24、出力クロック信号25、出力フレーム信号26の関係を示す。出力フレーム信号26は入力フレーム同期信号22と出力フレーム同期信号24との間の位相差に等しい遅延を持つことを除いて入力フレーム信号に等しい。従って、出力フレーム同期信号の最大遅延、つまり、1フレーム遅延を許容するため、バッファメモリは、1フレーム信号全体を格納するのに十分な容量をもつことが求められる。

ここで、フレーム信号のフォーマットについて説明する。第8図において番号23及び26で示すように、フレーム信号は複数のタイムスロットを備えている(第8図では9個のタイムスロット

が示されている)。データ又はメッセージを搬送するためのサブフレーム部28に割り当てられた既タイムスロット(第8図において7タイムスロット)でトランスポートオーバーヘッドを搬送するため、タイムスロットのいくつか(第8図においては2個)はオーバーヘッド部27に割り当てられる。図示の例において、オーバーヘッド部27はフレーム同期信号FとメッセージポインターPを備えており、そして、サブフレーム部28内のデータ情報は7チャンネルa, b, ..., gを備えている。図示のように、この7チャンネルにはチャンネル番号が割り当てられ、オーバーヘッド部27の後にサブフレーム部28内のタイムスロットの特定スロット、つまり第3のスロットに割り当てられた第1のチャンネルの次のサブフレーム部28内のチャンネル番号の順に配列される。従って、オーバーヘッド部27内のポインターPは3を示す。

(発明が解決しようとする課題)

ところで、従来のフレーム配列部ではバッファメモリが一つのフレーム信号全体を格納するため

十分なメモリ容量をもつ必要があり、さらに、入力フレーム信号と出力フレーム信号との位相差が大きいと、バッファメモリにおいて大きな遅延が生じ、信号品質が低下してしまう。

また、TDM通信装置において、互いにビットレートが異なるフレーム信号、つまり、非同期のフレーム信号を処理する場合、ビットレートを互いに一致させる必要がある。

本発明の目的は小メモリ容量のバッファメモリを用いて合成遅延が小さいフレーム位相配列を行うことのできるフレーム位相同期方式を提供することにある。

本発明の他の目的は異なるビットレートのフレーム信号間でフレーム配列を行うことのできるフレーム位相同期方式を提供することにある。

(課題を解決するための手段)

本発明によれば、入力フレーム信号としての入力時分割多重化信号を出力フレーム同期信号に対して位相配列して出力フレーム信号を出力する方式であって、前記入力フレーム信号のフレームフ

ォーマットは、複数のチャンネル信号を伝送する入力サブフレーム部と前記チャンネル信号の伝送を制御するために伝送オーバーヘッド信号を伝送する入力オーバーヘッド部とから成り、該入力オーバーヘッド部は入力フレーム同期信号を含んでいるフレーム位相同期方式において、前記入力フレーム信号を受けて該入力フレーム信号を前記入力オーバーヘッド部については分離オーバーヘッド部として、前記入力サブフレーム部については分離サブフレーム部としてそれぞれ分離するための分離手段と、該分離手段に接続されて前記分離サブフレーム部をストアするためのストア手段と、前記分離手段に接続され前記分離オーバーヘッド部と前記出力フレーム同期信号とを受けて前記入力フレーム同期信号と前記出力フレーム同期信号との間の位相差で決まる出力オーバーヘッド部を作成するための作成手段と、前記ストア手段と前記作成手段とに接続され前記出力フレーム同期信号を受けて前記出力オーバーヘッド部を前記出力フレーム信号の一部に付加して出力するための多重化手段とを含む、

該多重化手段は、前記ストア手段からそこにストアされた前記チャンネル信号を読み出しチャンネル信号として読み出し、該読み出しチャンネル信号を前記出力フレーム信号の残りの部分に付加して出力し、前記出力フレーム信号が前記出力オーバーヘッド部と前記読み出しチャンネル信号を伝送する出力サブフレーム部とから成るようにしたことを特徴とするフレーム位相同期方式が得られる。

さらに、本発明によれば、入力クロック信号を有する入力時分割多重化信号を前記入力クロック信号とは異なる出力クロック信号に同期した出力フレーム同期信号に対して位相配列して出力フレーム信号を出力する方式であって、前記入力クロック信号の前記入力フレーム信号を前記出力クロック信号のクロック変換フレーム信号に変換する手段を含み、前記クロック変換フレーム信号のフレームフォーマットは、複数の変換チャンネル信号を伝送する変換サブフレーム部と前記チャンネル信号の伝送を制御するための伝送オーバーヘッド信号を伝送する変換オーバーヘッド部とから成り、

該変換オーバーヘッド部は変換フレーム同期信号を含むフレーム位相同期方式において、前記クロック変換フレーム信号を受けて前記変換オーバーヘッド部を分離オーバーヘッド部として、前記変換サブフレーム部を分離サブフレーム部としてそれぞれ分離するための分離手段と、該分離手段に接続され前記分離サブフレーム部をストアするためのストア手段と、前記分離手段に接続され前記分離オーバーヘッド部と前記出力フレーム同期信号とを受けて前記変換フレーム同期信号と前記出力フレーム同期信号との間の位相差で決まる出力オーバーヘッド部を作成するための作成手段と、前記ストア手段と前記作成手段とに接続され前記出力フレーム同期信号を受けて該出力フレーム信号の一部に前記出力オーバーヘッド部を付加して出力するための多重化手段とを含み、該多重化手段は、前記ストア手段からストアされたチャンネル信号を読み出して前記出力フレーム信号の残りの部分に前記読み出しチャンネル信号を付加し、前記出力フレーム信号が前記出力オーバーヘッド部と前記読み出

デマルチプレクサ31は入力フレーム信号23(第2図)、入力クロック22(第2図)、及び入力フレーム同期信号21(第4図)を受け、フレーム信号のサブフレーム部28からオーバーヘッド部27を分離し、ポインター計算回路33及びバッファメモリ11にそれぞれ分離オーバーヘッド部及び分離サブフレーム部を送出する。さらに、ポインター計算回路33に分離オーバーヘッド部を送出した際、デマルチプレクサ31は書き込み回路12に書き込み不可信号を送出する。一方、バッファメモリ11に分離サブフレーム部を送出した際、デマルチプレクサ31は書き込み回路12にライトイネーブル信号を送出する。従って、書き込み回路12はライトイネーブル信号に回答してバッファメモリ11にサブフレーム部を書き込む。

マルチプレクサ32は出力クロック25(第2図)及び出力フレーム同期信号(第2図)を受信する。出力フレーム信号のオーバーヘッド部27(第2図)がマルチプレクサ32から送出

しチャンネル信号を伝送する出力サブフレーム部とから成るようにしたことを特徴とするフレーム位相同期方式が得られる。

(実施例)

以下本発明について実施例によって説明する。

第1図を参照して、図示のフレーム配列部は、第7図に示したフレーム配列部10と同様にバッファメモリ11、書き込み回路12、入力クロック発生器13、入力フレーム同期信号発生器14、読み出し回路15、出力クロック発生器16、及び出力フレーム同期信号発生器17を備えている。このフレーム配列部30はさらに入力フレーム信号を分離オーバーヘッド部及び分離サブフレーム部としてオーバーヘッド部及びサブフレーム部に分離するためのデマルチプレクサ31、バッファメモリ11から読み出したサブフレームとフレッシュオーバーヘッド信号をマルチプレクスして出力フレーム信号を生成するマルチプレクサ32、及びフレッシュオーバーヘッド信号を作成するポインター計算回路33を備えている。

されるべき時、マルチプレクサ32はポインター計算回路33からフレッシュオーバーヘッド信号を取り込み、読み出し不可信号とともに出力フレーム信号(第2図において)のオーバーヘッド部としてフレッシュオーバーヘッド信号を読み出し回路15に送出する。さらに、デマルチプレクサ31から出力フレーム信号のサブフレーム部28(第2図)が送出された時、マルチプレクサ32は読み出し回路15にリードイネーブル信号を送出する。従って、読み出し回路15はリードイネーブル信号に回答してリードサブフレーム信号としてバッファメモリ11に格納されたサブフレーム部を読み出す。そして、フレッシュオーバーヘッド信号及びリードサブフレーム信号はマルチプレクサ32でマルチプレクスされて第2図に示すように出力フレーム信号として送出される。

上述したように、読み出し回路15がマルチプレクサ32からイネーブル信号を受けた時のみ、入力フレーム信号のサブフレームはバッファメモ

リ11に単に格納され、バッファメモリ11から読み出される。つまり、フレッシュオーバーヘッドがポインター計算回路から与えられ、マルチプレクサ32から送出された時、バッファメモリ11に格納されたサブフレーム部はバッファメモリ11から読み出されない。従って、読み出し回路が不動作のとき、バッファメモリ11に与えられたサブフレーム28内のデータ信号はバッファメモリ11に格納保持される。この実施例において、オーバーヘッド部は2タイムスロットを隔えている。その結果、バッファメモリ11は2タイムスロットで搬送されるデータ信号を格納するのに十分なメモリ容量を保持しており、従って、サブフレーム28内のデータ信号は失われない。フレッシュオーバーヘッド部が出力フレーム信号35においてオーバーヘッド部27'としてマルチプレクサ32から送出された後に読み出し回路15はイネーブル信号を受信した際、読み出し回路15はバッファメモリ11内に格納されたデータ信号の読み出しを開始する。従って、出力フレーム信号

35におけるサブフレーム部28'内のデータ信号又はチャネル信号の順番は、第2図に示すように、入力フレーム信号におけるサブフレーム部28内のチャネル信号と異なる。

従って、ポインター計算回路33は出力フレーム同期信号及び入力フレーム同期信号の位相差の遅延からフレッシュメッセージポインターPxを計算して第2図に示すようにフレッシュオーバーヘッド27'を生成する。

第3図を参照して、ポインター計算回路33はデマルチプレクサ31から与えられた分離オーバーヘッド部にメッセージポインターPを取り込むためのポインターデライバ41と入力フレーム同期信号から出力フレーム同期信号の遅延yを計算するための減算器42を隔えている。さらに、ポインター計算回路33は次の計算方法に応じてオーバーヘッド27(実施例では $x=2$)に割り当てられたタイムスロット番号であるP、y、及びxからフレッシュポインターPxを計算する。

$P \leq (y - x)$ の時、

$$Px = (P - y) \bmod f1$$

$P > (y - x)$ の時、

$$Px = (P - y + x) \bmod f1$$

ここで、f1は1フレームのタイムスロット数又は長さを示す。

上述の計算を実行するため、ポインター計算回路33は、 $(y - x)$ を実行するための第1の減算器43、 $(P - y) \bmod f1$ を実行するための第2の減算器44、 $\{P - (y - x)\} \bmod f1$ を実行するための第3の減算器45、及びPと $(y - x)$ とを比較して選択信号を生成するための比較器46を有している。第2及び第3の減算器44及び45からの $(P - y) \bmod f1$ 及び $(P - y + x) \bmod f1$ のうち一つが比較器46からの選択信号に応じてPxとして選択器47によって選択される。

コンバイナ48はPxとポインターデライバ41で分離されたFと組み立て、フレッシュオーバーヘッド27'を生成する。

TDM通信装置がビットレートの異なるTDM

信号を用いている際、フレーム配列を実施する前に、これらTDM信号はビットレートにおいて互いにマッチしなければならない。

このため、第4図に示すようにフレーム配列部30の前段に入力クロックのTDM信号を異なる出力クロックの変換TDM信号に変換するためのクロック変換器50が用いられる。クロック変換器50からのクロック変換フレーム信号が第1図に関連して説明した入力フレーム信号としてフレーム配列部30に与えられる。

通常のクロック変換器がクロック変換器50として用いられるけれども、ここでは、第5図及び第6図を参照して新しいクロック変換器について説明する。

入力TDM信号は第1及び第2のバースタッフ同期、つまり、データ信号に対して2回のバースタッフ同期を用いることによって生成される。従って、TDM信号はデータ信号と第1及び第2のスタッフバースを有している。TDM信号は、第1のバースタッフ同期によってデータ信号、T

DM信号、及びパルススタフ信号のクロックと異なる出力クロックに位相配列されることが要求される。

第5図及び第6図を参照して、クロック比較器50は入力TDM信号61と入力クロック71とを受け、入力TDM信号をデスタフする第1のデスタフ回路51を有している。入力TDM信号は6個のデータパルス1から6内に第1及び第2のスタフパルス ϵ 1及び ϵ 2を持っている。

第1のデスタフ回路51は入力TDM信号から第2のスタフパルス ϵ 2を取り除き、第1のバッファメモリ52に第1のデスタフ信号62を送出する。さらに、第1のデスタフ回路51は第2のスタフパルスの時間位置で入力クロックのクロックパルスを取り除き、第1のバッファメモリ52に第1のリムーブクロックを送出する。これによって、第1のデスタフ信号62は第1のバッファメモリ52に書き込まれる。

第1のスタフ回路53は第1のバッファメモリ52に第2のクロック73を送出し、第1のバ

ッファメモリ52に格納された第1のデスタフ信号を第1のリード信号63として読み出す。位相比較器54は第1のリムーブクロック72の位相と第2のクロックの位相とを比較して、第1のエラー信号を生成する。第1のスタフ回路53は出力クロック74を受け、第1のエラー信号に基づいて第2のクロック73を生成する。その結果、第1のリムーブ信号72と第2のクロック信号73とは共通の平均周波数を持っている。第1のスタフ回路53は第1のリード信号63に第3のスタフパルス ϵ 3を加え、出力同期信号74に同期した第1のスタフ信号64を生成する。

そして、第2のデスタフ回路55は第1のスタフ信号64と出力同期信号74を受け、第1のスタフ信号64から第3のスタフパルス ϵ 3を取り除く。そして、第3のデスタフ回路56に第2のデスタフ信号64を送出する。さらに、第2のデスタフ回路55は第3のスタフパルスの時間位置で出力同期信号74のクロックパルスを取り除き、第3のデスタフ回路56に

第2のリムーブクロック75として送出的。

第3のデスタフ回路56は第2のデスタフ信号65及び第2のリムーブクロック75を受け、第1のスタフパルス ϵ 1を取り除いて第2のバッファメモリ57に第3のデスタフ信号66を送出する。さらに、第3のデスタフ回路56は第1のスタフパルス ϵ 1の時間位置で第2のリムーブクロック75のクロックパルスを取り除き、第2のバッファメモリ57に第3のリムーブクロック76を送出する。

第2のバッファメモリ57は第3のデスタフ信号66及び第3のリムーブクロック76を受け、第3のデスタフ信号66を格納する。

第2のスタフ回路59は第2のバッファメモリ57に第3のクロック77を供給し、第2のバッファメモリ57に格納された第3のデスタフ信号66を第2のリード信号として読み出す。

第2の位相比較器58は第3のリムーブクロック76の位相と第3のクロックの位相とを比較し、第2のエラー信号を生成する。

第2のスタフ回路59は出力クロック74を受け、第2のエラー信号に基づいて第3のクロックを生成する。その結果、第3のリムーブクロック76と第3のクロック77とは共通の平均周波数を持つことになる。さらに、第2のスタフ回路59は第2のリード信号に第4のスタフパルス ϵ 4を加え、出力同期信号74に同期した第2のスタフ信号68を生成する。

このようにして、入力データ信号から出力同期信号にスタフ同期したデータ信号のスタフ信号を得ることができる。

(発明の効果)

以上説明したように、本発明ではメモリ容量の小さいバッファメモリを用いて遅延が少ないフレーム位相配列を行うことができ、さらに、異なるビットレートのフレーム信号間でフレーム配列を行うことができるという効果がある。

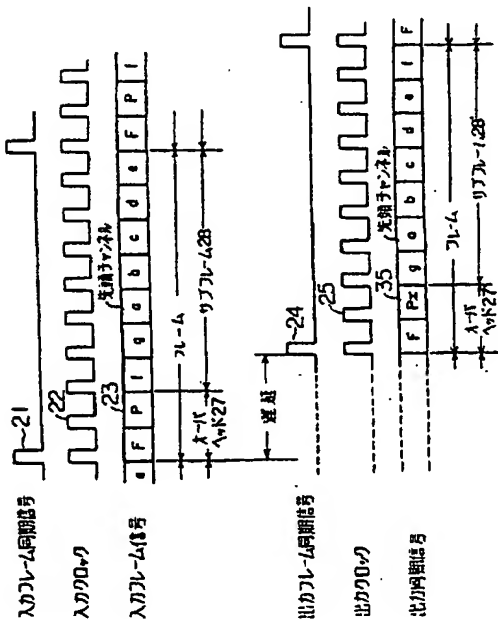
4. 図面の簡単な説明

第1図は本発明が適用されたフレーム配列部の

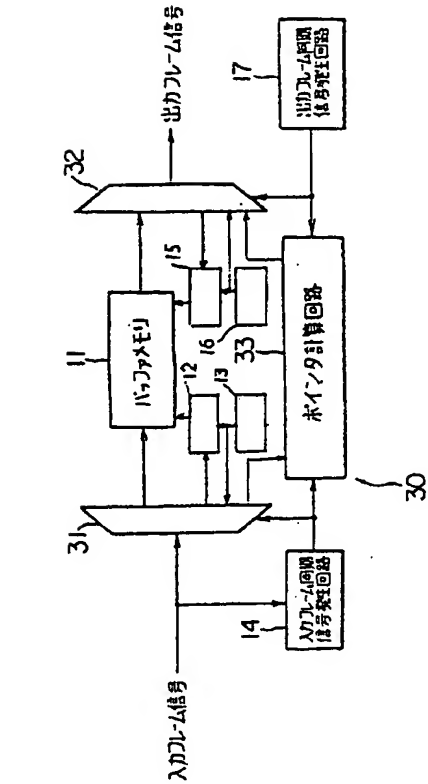
一実施例を示すブロック図、第2図は第1図に示すフレーム配列部における種々の信号間の時間関係を説明するための図、第3図は第1図中のポインター計算回路を示すブロック図、第4図は本発明が適用されたフレーム配列部の他の実施例を示すブロック図、第5図は第4図において用いられるクロック変換器を示すブロック図、第6図は第7図における種々の信号を示す図、第7図は従来のフレーム配列部を示すブロック図、第8図は第7図に示すフレーム配列部における種々の信号間の時間関係を説明するための図である。

10…フレーム配列部、11…バッファメモリ、12…書き込み回路、13…入力クロック発生回路、14…入力フレーム同期信号発生回路、15…読み出し回路、16…出力クロック発生器。

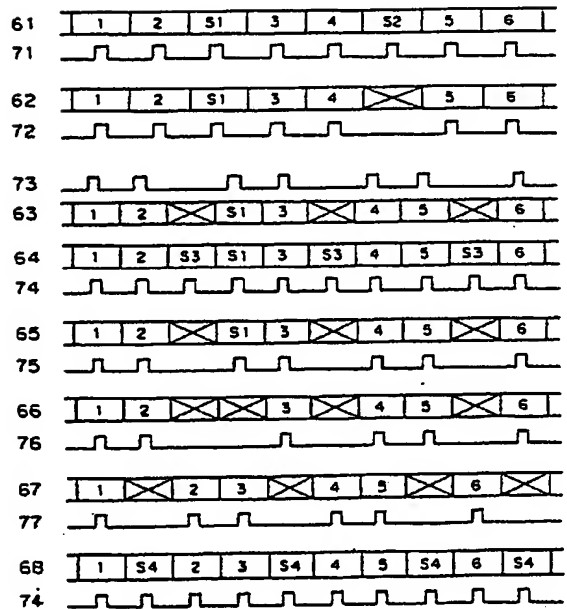
代理人 (7783) 弁護士 池田 憲保



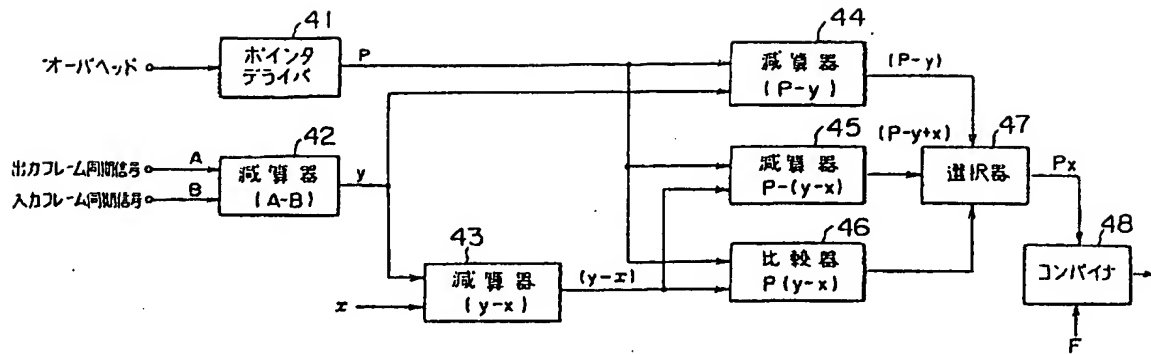
第2図



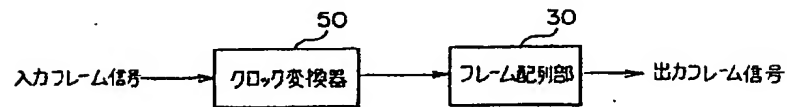
第1図



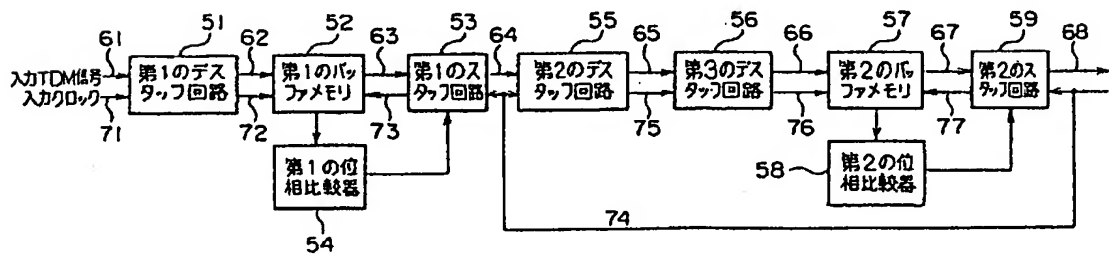
第6図



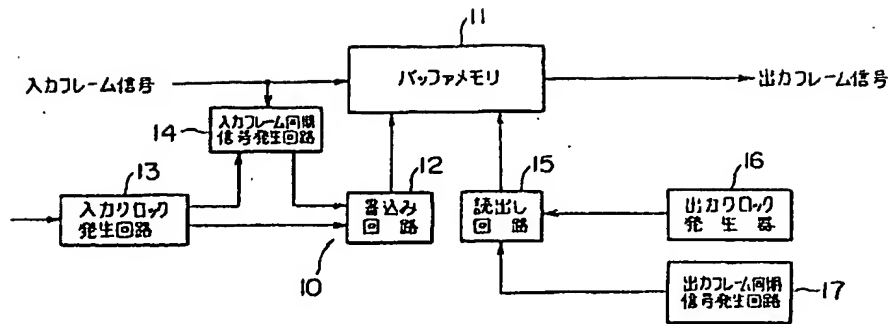
第 3 図



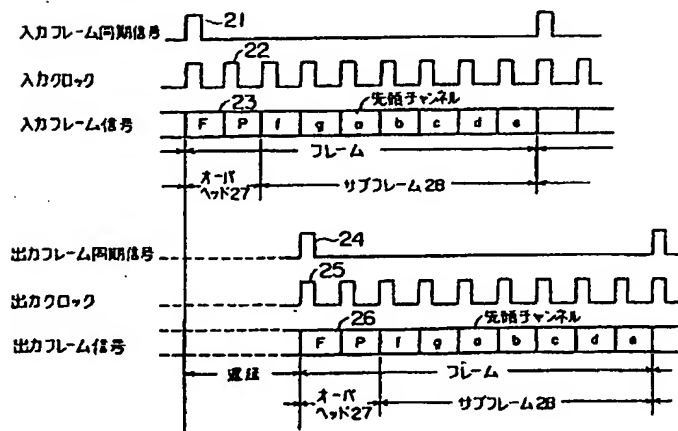
第 4 図



第 5 図



第 7 図



第 8 図